

## MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP10251713 (A)

Publication date: 1998-09-29

Inventor(s): KIMURA TADAYUKI

Applicant(s): SONY CORP

Classification:

- International: H01L21/302; H01L21/3065; H01L21/768; H01L21/02; H01L21/70; (IPC-7): H01L21/68; H01L21/3065

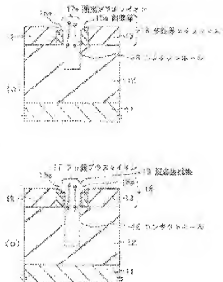
- European:

Application number: JP19970056403 19970319

Priority number(s): JP19970056403 19970319

Abstract of JP 10251713 (A)

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a semiconductor device that can form a fine contact hole with a shape that is vertical to a semiconductor substrate. **SOLUTION:** A fluorine plasma ion 17 is applied to an NSG film 12 vertically according to a polycrystalline silicon mask 16 immediately after an etching is started, thus forming a contact hole 18 vertically to a silicon substrate 11. A reaction product 19 is formed at a side wall layer 15 due to the decomposition of an etching gas along with the progress of etching and the track of ions is bent. At this stage, the etching is stopped and an ashing is performed by an oxide gas. The reaction product 19 being formed at the side wall layer 15a is removed by the ashing using an oxide plasma ion 17a and hence the straight-ahead property of the ion track is improved. After that, the contact hole 18 is opened by repeating etching and ashing.



Data supplied from the esp@cenet database — Worldwide

特開平10-261713

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.<sup>6</sup>H 0 1 L 21/768  
21/3065

識別記号

F I

H 0 1 L 21/90  
21/302C  
L

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平9-66403

(22) 出願日 平成 9 年(1997) 3月19日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 木村 忠之

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

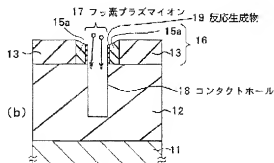
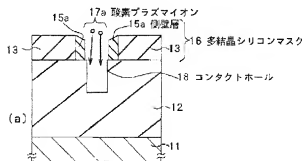
(74) 代理人 弁理士 藤島 洋一郎

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 半導体基板に対して垂直な形状の微細なコンタクトホールを形成することができる半導体装置の製造方法を提供する。

【解決手段】 エッチング開始直後はフッ素プラズマイオン 17 が多結晶シリコンマスク 16 に従って N S G 膜 12 内へ垂直に人射するため、コンタクトホール 18 はシリコン基板 11 に対して垂直な形状となる。エッチングの進行とともに側壁層 15 a にエッチングガスの分解による反応生成物 19 が形成され、イオンの軌道が曲げられる。この段階でエッチングを中止し、酸素プラズマイオン 17 a によるアッシングを行う。酸素プラズマイオン 17 a によるアッシングにより、側壁層 15 a に形成された反応生成物 19 は除去されるのでイオン軌道の直進性は改善される。その後、エッチングとアッシングを繰り返して行いコンタクトホール 18 を開口する。



## 【特許請求の範囲】

【請求項1】 被コンタクト領域を覆うように形成された絶縁層に、前記被コンタクト領域に達するコンタクトホールを形成する工程を含む半導体装置の製造方法であって、  
前記絶縁層上にエッチングマスク層を形成したのち、前記エッチングマスク層を用いて前記絶縁層を選択的にエッチングするエッチング工程と、前記エッチング工程で生じた反応生成物を除去するアッシング工程とを交互に行うことで前記コンタクトホールを形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記エッチング工程はフッ素プラズマを主成分とする雰囲気下で行われ、前記アッシング工程は酸素プラズマを主成分とする雰囲気下で行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記エッチングマスク層は、前記絶縁膜に対してエッチング選択比が高くかつ酸素プラズマ耐性の強い物質からなる薄膜であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 前記エッチングマスク層は、多結晶シリコン膜、金属薄膜または窒化シリコン膜であることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 被コンタクト領域を覆うように形成された絶縁層に、この被コンタクト領域に達するコンタクトホールを形成する工程を含む半導体装置の製造方法であって、

前記絶縁層の上に第1のマスク層を形成する工程と、

前記第1のマスク層に開口を形成する工程と、

前記開口の内面をも覆うようにして前記第1のマスク層上に第2のマスク層を形成する工程と、

前記第2のマスク層を異方性エッチングによりエッチングして、前記開口の内側面に、第2のマスク層からなる側壁を形成する工程と、

前記側壁の形成された開口の内面をも覆うようにして、前記絶縁層とほぼ等しいエッチング選択比を有する薄膜を形成する工程と、

前記第2のマスク層からなる側壁および前記第1のマスク層をマスクとして前記絶縁層をエッチングし、前記被コンタクト領域に達するコンタクトホールを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記第1および第2のマスク層は多結晶シリコンからなり、前記薄膜は、熱酸化処理により形成されるシリコン酸化膜であることを特徴とする請求項5記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体基板へのコンタクトホール形成工程を含む半導体装置の製造方法に関する。

## 【0002】

【従来の技術】近年の半導体装置においては、素子微細化の進展による装置性能の向上や集積度の向上が著しいが、特に微細加工を行うのは困難である。このため、例えば、リソグラフィ技術が主流である。しかし、従来のリソグラフィ技術では、近年のデバイスデザインに求められる超微細加工を行うのは困難である。このため、例えば、リソグラフィ技術によって半導体基板上の絶縁膜にコンタクトホールを形成する場合は、コンタクトパターンを形成するレジストマスク自体を工夫したり、あるいはレジストマスクを従来とは異なる材料で形成する必要がある。レジストマスクを工大する方法としては、例えばゲート等の配線加工を行う場合、ゲートを形成すべき位置に形成したレジストのパターンサイズを、アッシング等の技術を用いてさらに縮小する方法がある。また、レジストマスク自体を従来とは異なる材料で形成する方法としては、エッチングマスクとして例えば多結晶シリコンを用いると共に、このエッチングマスクをパターンニングしてエッチング用開口を形成したのち、この開口を覆うように再度多結晶シリコン膜を形成することにより開口パターンサイズを縮小し、しからず、この縮小された開口パターンに従って絶縁膜をエッチングしてコンタクトホールを形成する方法がある。

【0003】このような多結晶シリコンによるマスクは、例えば図9および図10に示したような方法により形成することができる。すなわち、図9(a)に示したように、CVD (Chemical Vapor Deposition; 化学的气相成長) 法により、シリコン基板101上に膜厚が1 $\mu\text{m}$ 程度のノン・シリケート・ガラス (NSG) 膜102を形成し、このNSG膜102上に膜厚が300nm程度の多結晶シリコン膜103を形成する。続いて、リソグラフィ技術を用いて、多結晶シリコン膜103の上部にコンタクトパターンを有するフォトレジスト膜104を0.3 $\mu\text{m}$ 程度の膜厚となるように形成する。このフォトレジスト膜104をエッチングマスクとして多結晶シリコン膜103を異方性エッチング法を用いてエッチングし、その後フォトレジスト膜104を除去することにより、図9(b)に示したように、多結晶シリコン膜103に開口104を形成する。

【0004】続いて、図10(a)に示したように、CVD法により多結晶シリコン膜103上、および開口104に露出しているNSG膜102上に、例えば膜厚140nmの多結晶シリコン膜105を形成する。次に、図10(b)に示したように、異方性エッチング法を用いて多結晶シリコン膜105をエッチングし、側壁層(サイドウォール)105aを形成する。以上の工程により多結晶シリコンマスク106を得ることができる。

## 【0005】

【発明が解決しようとする課題】図11および図12は、上記のようにして形成した多結晶シリコンマスク1

06をエッチングマスクとしてコンタクトホール形成のためのドライエッチングを行った際の変化の様子を表すものである。なお、 $t_0$ はエッチング開始からの経過時間であり、 $t_0$ はエッチング開始直後の時間を表す値である。図11(a)に示したように、エッチング開始直後( $t=t_0$ )においては、多結晶シリコンマスク106に従ってイオンがNSG膜102内へ垂直に入射するため、コンタクトホール108の内側壁はシリコン基板101に対して垂直な形状となる。引き続きエッチングが進行して $t=t_1$  ( $t_1 > t_0$ ) となると、図11(b)に示したようになる。この時点でも、イオンはNSG膜102内へ垂直に入射するため、コンタクトホール108の内側壁はシリコン基板101に対して垂直な形状となっている。

【0006】さらにエッチングが進行して $t=t_2$  ( $t_2 > t_1$ ) となると、図12(a)に示したように、側壁層105aの内面壁にエッチングガスの分解による反応生成物107が形成される。この反応生成物107が電子により負に帯電するため、入射したイオンの軌道が曲げられ、コンタクトホール108の内側壁が削られる。この現象はドライエッチングの終了時( $t=t_3$ ,  $t_3 > t_2$ ) まで進行し、図12(b)に示したようにコンタクトホール108の形状はボウイング形状(bowling; 弓状に広がった状態)となる。

【0007】図13および図14は、上述の方法により形成されたコンタクトホール108に導電膜である多結晶シリコン膜を埋め込む工程を表すものである。図13(a)に示したようにコンタクトホール108を開口した後、図13(b)に示したように、CVD法により、多結晶シリコン膜103上およびコンタクトホール108内に300nm程度の膜厚の多結晶シリコン膜109を形成する。このとき、コンタクトホール108はボウイング形状となっているため、図13(b)に示したように、コンタクトホール108内の多結晶シリコン膜109にボイドと呼ばれる空隙110が形成される。次に、図14(a)に示したように多結晶シリコン膜109をエッチバック法によりエッチングする。多結晶シリコン膜109の上表面からエッチングが進行し、図14(b)に示したようにNSG膜102上の多結晶シリコン膜103が除去される。

【0008】このように、従来の方法では、エッチングによりコンタクトホール108を形成する際に側壁層105aの側壁に堆積する反応生成物107に起因してイオンの軌道が曲げられて、コンタクトホール108の形状がボウイング状になってしまうため、その後コンタクトホール108内に多結晶シリコン膜109を埋め込んだときにも、多結晶シリコン膜109中に空隙110が形成されることが多かった。このため、多結晶シリコン膜109をエッチバック法により除去する際に、コンタクトホール108の底部のシリコン基板101が削られて

しまい、コンタクト特性が劣化するという問題があった。また、側壁層105aの形状やエッチング条件を調整することによりコンタクトホール108の形状を改善するのは困難であった。

【0009】本発明はかかる問題点に鑑みてなされたもので、その目的は、コンタクトホールの微細加工において、半導体基板に対して垂直形状のコンタクトホールを形成することでコンタクトの信頼性と歩留りとを向上することができる半導体装置の製造方法を提供することにある。

#### 【0010】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、被コンタクト領域を覆うように形成された絶縁層に、この被コンタクト領域に達するコンタクトホールを形成する工程を含む半導体装置の製造方法であって、絶縁層上にエッチングマスク層を形成したのち、このエッチングマスク層を用いて絶縁層を選択的にエッチングするエッチング工程と、エッチング工程生じた反応生成物を除去するアッシング工程と、を交互に行いながらコンタクトホールを形成するようにしたものである。ここで、エッチング工程は例えばフッ素プラズマを主成分とする雰囲気下で行い、アッシング工程は例えば酸素プラズマを主成分とする雰囲気下で行うことができる。この場合、エッチングマスク層としては、絶縁膜に対してエッチング選択比が高く酸素プラズマ耐性の強い物質からなる薄膜、例えば多結晶シリコン膜、金属薄膜または窒化シリコン膜を用いることができる。

【0011】本発明に係る他の半導体装置の製造方法は、被コンタクト領域を覆うように形成された絶縁層に、この被コンタクト領域に達するコンタクトホールを形成する工程を含む半導体装置の製造方法であって、絶縁層の上に第1のマスク層を形成する工程と、第1のマスク層に開口を形成する工程と、開口の内面を覆うようにして第1のマスク層上に第2のマスク層を形成する工程と、第2のマスク層を異方性エッチングによりエッチングして、開口の内側面に、第2のマスク層からなる側壁を形成する工程と、側壁の形成された開口の内面をも覆うようにして、絶縁層とほぼ等しいエッチング選択比を有する誘電膜を形成する工程と、第2のマスク層からなる側壁および第1のマスク層をマスクとして誘電膜および絶縁層をエッチングし、被コンタクト領域に達するコンタクトホールを形成する工程とを含んでいる。ここで、第1および第2のマスク層としては例えば多結晶シリコンを用い、誘電膜としては例えば熱酸化処理により形成されるシリコン酸化膜を用いることができる。

【0012】本発明に係る半導体装置の製造方法では、エッチングマスク層を用いて絶縁層にコンタクトホールを開く際にエッチングとアッシングとを交互に行うことにより、エッチングガスの分解によってエッチングマスクの内側面に形成された反応生成物が除去される。

これにより、エッチングに供されるイオン軌道の直進性が保たれ、基板とほぼ垂直な形状のコンタクトホールが得られる。

【0013】本発明に係る他の半導体装置の製造方法では、絶縁層のエッチングの進行と共に側壁にエッチングガスの分解による反応生成物が形成され、イオンの軌道が曲げられるが、形成されたコンタクトホールの上部の側壁は反応生成物により保護されてエッチングが進行せず、一方、コンタクトホールの下部の内側壁には反応生成物が形成されないでエッチングが進行する。その結果、コンタクトホールの上部の狭い部分がいわゆる絞りと作用してイオンの入射断面積を制限するため、イオンの軌道が曲がってコンタクトホールの内側壁をエッチングしたとしてもボウイング状に陥らむことなく、基板とほぼ垂直な形状のコンタクトホールが得られる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0015】【第1の実施の形態】図1～図4は、本発明の第1の実施の形態に係る半導体装置の製造方法を工程順に表すものである。

【0016】本方法に係る工程のうち、多結晶シリコンマスクの形成までの工程は従来の多結晶シリコンマスクの形成工程と実質的に同じである。すなわち、まず、図1(a)に示したように、シリコン基板11上にCVD法により例えば1 $\mu$ m程度の膜厚のNSG膜12を形成し、さらにその上に例えば300nm程度の膜厚の多結晶シリコン膜13を形成する。続いて、リソグラフィ技術を用いて多結晶シリコン膜13の上部にコンタクトパターンを有する膜厚0.3 $\mu$ m程度のフォトリソ膜14を形成する。次に、異方性エッチング法を用いて、フォトリソ膜14をエッチングマスクとして多結晶シリコン膜13をエッチングすることで、図1

(b)に示したように、多結晶シリコン膜13に開口13aを形成する。その後、フォトリソ膜14を除去する。ここで、NSG膜12は本発明における絶縁層に対応する。

【0017】次に、図2(a)に示したように、CVD法により例えば140nm程度の膜厚の多結晶シリコン膜15を形成する。次に、図2(b)に示したように、異方性エッチング法を用いて多結晶シリコン膜15をエッチングし、多結晶シリコン膜13の開口13aの内側壁に側壁層15aを形成する。これにより、多結晶シリコンマスク16が完成する。この多結晶シリコンマスク16は本発明におけるエッチングマスク層に対応する。

【0018】次に、図3および図4を参照して、上記のようにして形成した多結晶シリコンマスク16をエッチングマスクとしてNSG膜12を選択的にエッチングし、シリコン基板11の図示しない被コンタクト領域に達するコンタクトホールを形成する工程について説明す

る。この場合のエッチングには、例えばフッ素ネオンエッチャーによる高密度プラズマプロセスを用い、エッチングガスとしては例えばハフ化四炭素(C<sub>4</sub>F<sub>8</sub>)／一酸化炭素(CO)／アルゴン(Ar)／酸素(O<sub>2</sub>)をそれぞれ14/15/200/5sccmの割合で使用する。また、チャンバ内圧力は5.3Pa、高周波(RF)バイアスは1600W、時間は1分間とする。

【0019】図3(a)に示したように、エッチング開始直後はフッ素プラズマイオン17が多結晶シリコンマスク16に從ってNSG膜12内へ垂直に入射するため、コンタクトホール18はシリコン基板11に対して垂直な形状となる。その後、図3(b)に示したように、エッチングの進行と共に側壁層15aにエッチングガスの分解による反応生成物19が形成され、これが員に帯電するため、イオンの軌道が曲げられるようになる。

【0020】この段階でエッチングを中止し、今度は、図4(a)に示したように、酸素(O<sub>2</sub>)ガスによるアッシング(ashing；反化処理)を行う。この場合のアッシングには、例えばフッ素ネオンエッチャーによる高密度プラズマプロセスを用い、アッシングガスとしては例えば酸素(O<sub>2</sub>)／アルゴン(Ar)をそれぞれ10/100sccmの割合で使用する。また、チャンバ内圧力は5.3Pa、RFバイアスは600W、時間は10秒間とする。この酸素プラズマイオン17によるアッシングにより、図4(a)に示したように、側壁層15aに形成された反応生成物19が除去されるのでイオン軌道の直進性は改善される。その後、再び上述の条件によりフッ素プラズマイオンによるエッチングを行い、図4(b)に示したように側壁層15aに反応生成物19が堆積すると上述の条件により酸素プラズマイオンによるアッシングを行う。そして、エッチングとアッシングとを交互に繰り返して行うことにより、コンタクトホール18を開く。

【0021】このように、本実施の形態による半導体装置の製造方法によれば、多結晶シリコンマスク16をエッチングマスクとしてNSG膜12をエッチングする際には、側壁層15aに反応生成物19が形成された段階でフッ素プラズマイオンによるエッチングから酸素プラズマイオンによるアッシングに切り替えて反応生成物19を除去して、再度エッチングを行うというエッチングとアッシングの交互の繰り返によりコンタクトホール18を開くようにしたので、側壁層15aへのエッチングガスの分解による反応生成物19の堆積を防止することができる。このため、反応生成物19が電子により員に帯電して入射イオンの軌道が曲げられ、コンタクトホール18の側壁が削られるという現象が生じないので、コンタクトホール18の形状がボウイング状になるのを回避できる。したがって、その後のコンタクトの埋め込み時において空隙が形成されることなく、コンタ

クトの信頼性と歩留りとを向上することができる。

【0022】【第2の実施の形態】図5～図8は本発明の第2の実施の形態に係る半導体装置の製造方法を工程順に表すものである。本実施の形態では、上記の第1の条件におけるNSG膜12の代わりに二酸化シリコン膜21を用いると共に、第1の実施の形態における多結晶シリコンマスク16を形成した後、この多結晶シリコンマスク16上に酸化膜を形成する構成としたものである。なお、図1～図4と同一構成部分については同一符号を付する。

【0023】まず、図5(a)に示したように、シリコン基板11上の全面に例えば1200nm程度の膜厚の二酸化シリコン膜21を形成する。続いて、CVD法により、二酸化シリコン膜21上に例えば300nm程度の膜厚の多結晶シリコン膜13を形成する。その後、リソグラフィ技術を用いて多結晶シリコン膜13の上部にコンタクトパターンを有する膜厚0.3μm程度のフォトレジスト膜14を形成する。次に、このフォトレジスト膜14をエッチングマスクとして、多結晶シリコン膜13を、例えばECR (electron cyclotron resonance, 電子サイクロトロン共鳴) エッチャーを用いてエッチングし、多結晶シリコン膜13に開口13aを形成する。その後、アッシングによりフォトレジスト膜14を除去したのち、図5(b)に示したように、CVD法により、多結晶シリコン膜13上および開口13aの二酸化シリコン膜21上に例えば140nmの膜厚の多結晶シリコン膜15を形成する。次に、図6(a)に示したように、マグネトロンエッチャーを用いた異方性エッチングにより、多結晶シリコン膜15全面をエッチバックすると共に、多結晶シリコン膜13の開口13aの内側壁部分にのみ多結晶シリコン膜を残し、側壁層15aを形成する。これで、多結晶シリコン13および側壁15aからなる多結晶シリコンマスク16の形成が完了する。ここで、二酸化シリコン膜21は本発明における絶縁層に対応し、多結晶シリコン膜13は本発明における第1のマスク層に対応し、多結晶シリコン膜15は本発明における第2のマスク層に対応し、側壁層15aは本発明における側壁に対応する。

【0024】続いて、図6(b)に示したように、例えば800～850℃程度の温度下での熱酸化により、多結晶シリコンマスク16の表面に例えば10～20nm程度の膜厚の二酸化シリコン膜22を形成する。この二酸化シリコン膜22は、本発明における薄膜に対応する。

【0025】次に、図7および図8を参照して、多結晶シリコンマスク16をエッチングマスクとして二酸化シリコン膜21を選択的にエッチングし、シリコン基板11の図示しない被コンタクト領域に達するコンタクトホールを開く工程について説明する。この場合のエッチングの条件は第1の実施の形態と同様とする。この場

合、図7(a)に示したように、エッチング開始直後は多結晶シリコンマスク16に従ってフッ素プラズマイオンが二酸化シリコン膜21内へ垂直に入射するため、コンタクトホール18はシリコン基板11に対して垂直な形状となる。また、このとき同時に二酸化シリコン膜22も削られていく。その後、図7(b)に示したように、エッチングの進行とともに側壁層15aにエッチングガスの分解による反応生成物19が形成され、イオンの軌道が曲げられる。更に時間が経過すると、図8

(a)に示したように、コンタクトホール18の上部の側壁は反応生成物19により保護されてエッチングが進行しないが、コンタクトホール18の下部の内側面には反応生成物19が形成されないためエッチングが進行する。その結果、コンタクトホール18の上部の側壁部分がいわば絞りとして作用してイオンの入射断面積を制限するため、イオンの軌道が曲がってコンタクトホール18の内側壁をエッチングしたとしても従来のようにボウイング状に膨らむことはなく、図8(b)に示したように、ほぼ垂直形状のコンタクトホール18が得られることとなる。

【0026】このように本実施の形態による半導体装置の製造方法によれば、多結晶シリコンマスク16の上に二酸化シリコン膜22を形成して、これらをエッチングマスクとして二酸化シリコン膜21をエッチングするようにしたので、コンタクトホールがボウイング形状を呈するのを防止してシリコン基板11に対してほぼ垂直な内側面を持つコンタクトホール18を得ることができる。したがって、コンタクトホール18内を導電材料で完全に埋め込むことができるようになり、従来のような微小空隙は発生しない。このため、導電膜のエッチバックをする際、シリコン基板11まで削られてコンタクトホール特性が劣化することを防止することができる。

【0027】以上、いくつかの実施の形態を挙げて本発明を説明したが、本発明はこれらの実施の形態に限定されるものではなく、その均等の範囲で種々変形可能である。例えば、上記実施の形態では、コンタクトホール18のエッチングマスクとして多結晶シリコン膜13、15aを用いたが、本発明はこれに限定されるものではなく、エッチングされる絶縁膜であるNSG膜12や二酸化シリコン膜21に対してエッチング選択比が高く（エッチング速度が遅く）かつ酸素プラズマ耐性の強い物質からなる薄膜であれば、他の膜種を用いることもできる。例えば、窒化チタン(TiN)等の金属薄膜や、窒化シリコン(SiN)膜等も使用可能である。

【0028】

【発明の効果】以上説明したように、請求項1ないし請求項4のいずれか1に記載の半導体装置の製造方法によれば、コンタクトホールを開く際にエッチングとアッシングとを交互に行うことにより、エッチング時にエッチングマスクの内側面に形成される反応生成物を除去

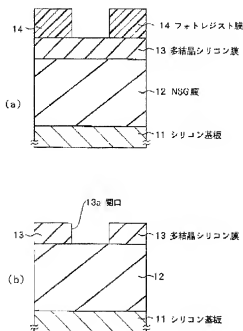
しながらエッチングを行うようにしたので、イオン軌道の直進性が保たれ、コンタクトホールがボウイング状に形成されるのを防止することができる。これにより、コンタクトホール内に導電層を埋め込む際、微小空隙等が残存することを防止できるので、コンタクトの特性、信頼性および歩留りを向上させることができるという効果を奏する。

【0029】また、請求項5または請求項6記載の半導体装置の製造方法によれば、第1および第2のマスク層からなるエッチングマスク上に、絶縁層とほぼ等しいエッチング選択比を有する薄膜を形成した上で絶縁層のエッチングを行うようにしたので、反応生成物により保護されてエッチングが進行しないコンタクトホール上部部分がいおぼれ絞りとして作用してイオンの入射断面積を制限するようになり、イオンの軌道が曲がってコンタクトホールの内側壁をエッチングしたとしてもボウイング状に膨らむことはなく、基板とほぼ垂直な形状のコンタクトホールが得られる。このため、上記の場合と同様に、コンタクトホール内に導電層を埋め込む際の微小空隙の発生を防止でき、コンタクトの特性、信頼性および歩留りを一層高めることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の製造方法の一部工程を表す半導体装置の要部断面図である。

【図1】



【図2】図1に続く工程を表す断面図である。

【図3】図2に続く工程を表す断面図である。

【図4】図3に続く工程を表す断面図である。

【図5】本発明の第2の実施の形態に係る半導体装置の製造方法の一部工程を表す半導体装置の要部断面図である。

【図6】図5に続く工程を表す断面図である。

【図7】図6に続く工程を表す断面図である。

【図8】図7に続く工程を表す断面図である。

【図9】従来の半導体装置の製造方法の要部工程を表す半導体装置の要部断面図である。

【図10】図9に続く工程を表す断面図である。

【図11】従来のコンタクトホールのエッチング時における変化の様子を表す断面図である。

【図12】図11に続く状態を表す断面図である。

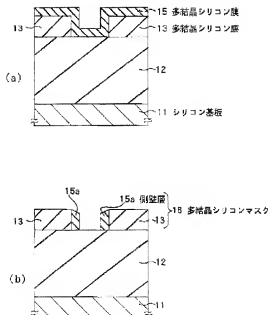
【図13】従来のコンタクトホールの導電膜による埋め込み工程を表す断面図である。

【図14】図13に続く工程を表す断面図である。

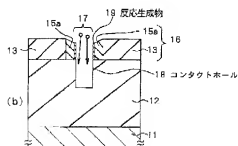
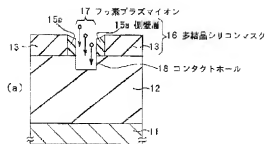
【符号の説明】

11…シリコン基板、12…NSG膜、13、15…多結晶シリコン膜、14…フォトリソレジスト膜、15a…側壁層、16…多結晶シリコンマスク、17…フッ素プラズマイオン、17a…酸素プラズマイオン、18…コンタクトホール、19…反応生成物、21、22…二酸化シリコン膜

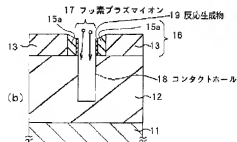
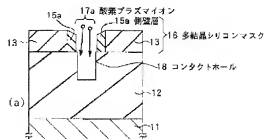
【図2】



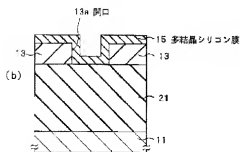
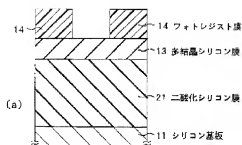
【図3】



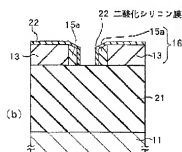
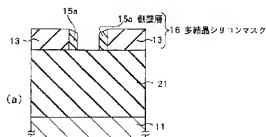
【図4】



【図5】



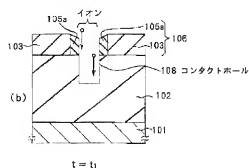
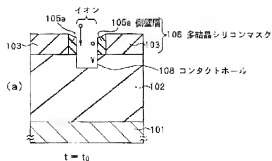
【図6】



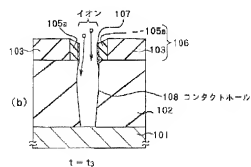
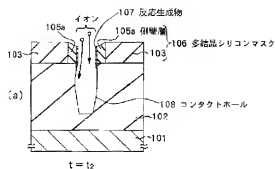




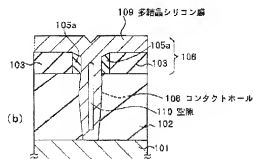
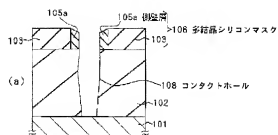
【図11】



【図12】



【図13】



【図14】

